

JP1065928

Publication Title:

SWITCHING COMPARATOR

Abstract:

Abstract of JP1065928

PURPOSE:To shorten a converting time by setting the sampling period of high speed sampling and high precision sampling and a reference voltage comparing period so as to be obtained simultaneously even if a continuous analog input signal is inputted. **CONSTITUTION:**A first sampling capacitor 8 is connected to a comparator 9, and the input and the output of the comparator 9 are connected through a switch 15, controlled by a clock (CL2). An operation is performed for the continuous analog input signal repeatedly during a first - a fourth periods, and while the analog input signal is sampled in a first sampling capacitor 8, the analog input signal, held in a second sampling capacitor 20, and the reference voltage, generated from a D/A converter 7, are compared successively. Besides, while the analog input signal is sampled in the second sampling capacitor 20, the analog input signal, held in the first sampling capacitor 8, and the reference voltage, generated from the DA converter 7, are successively compared. Thus, since the parallel operation of the sampling period and the reference voltage comparing period is made possible, the converting time for sampling and digital-converting the continuous analog input signal can be shortened.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

⑫ 公開特許公報(A)

昭64-65928

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和64年(1989)3月13日

H 03 M 1/38

6832-5J

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 スイッチング比較器

⑰ 特 願 昭62-222437

⑱ 出 願 昭62(1987)9月4日

⑲ 発 明 者 山 口 和 秀 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑳ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

スイッチング比較器

特 許 請 求 の 範 囲

アナログ入力信号を入力するバッファ増幅器と、前記アナログ入力信号を保持するための第一および第二のサンプリング容量と、前記第一、第二のサンプリング容量に保持されたアナログ入力信号を逐次比較するための基準電圧を発生するD/A変換器と、前記D/A変換器と前記バッファ増幅器と前記第一および第二のサンプリング容量との接続を制御する第一のスイッチ群と、前記第一および第二のサンプリング容量にそれぞれ接続された第一および第二の比較器と、前記第一および第二の比較器の出力のいずれかを選択して出力端子に伝えるための第二のスイッチ群とを含むことを特徴とするスイッチング比較器。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明はスイッチング比較器に関し、特にA/D変換器を構成するに適したスイッチング比較器に関する。

〔従来の技術〕

従来、かかるスイッチング比較器としては、アナログ入力信号のサンプリング期間と基準電圧比較期間とが交互に順を追って形成されている。かかる技術は米国特許4237390号あるいは特公昭60-273828号公報に記載されているとおりである。

第4図は従来の一例を説明するためのスイッチング比較器のブロック構成図である。

第4図に示すように、かかるスイッチング比較器はアナログ入力信号(端子)1を電源電圧範囲内で所望な利得を得ることが出来るバッファ増幅器5と、アナログ入力信号を保持するサンプリング容量8と、このサンプリング容量8に保持されたアナログ入力信号を逐次比較するための基準電

圧 V_{REF} (端子) 6 を発生する D/A 変換器 7 と、これらの接続を制御するスイッチ群 100 と、前記サンプリング容量 8 に接続された比較器 102 とで構成され、サンプリング比較結果をその出力端子 16 に出力している。

第 5 図は、第 4 図に示すスイッチング比較器の具体的回路図である。

第 5 図に示すように、アナログ入力端子 1 は差動増幅器 5 の非反転入力端子 2 と、クロック 4 (CL4) により制御されるスイッチ 13 を介したサンプリング容量 8 およびクロック 3 (CL3) により制御されるスイッチ 14 を介した D/A 変換器 7 とに接続される。また、差動増幅器 5 の反転入力端子 3 はスイッチ 10 を介して差動増幅器 5 の出力端子 4 およびクロック 1 (CL1) により連動制御されるスイッチ 12 に接続され、さらにスイッチ 12 を介してサンプリング容量 8 に接続される一方、差動増幅器 5 の反転入力端子 3 はさらに前記スイッチ 12 と連動制御されるスイッチ 11 を介してサンプリング容量 8 に接続されてい

る。このサンプリング容量 8 は比較器 102 を構成する演算増幅器 9 を介してサンプリング比較結果出力端子 16 に接続され、且つこの演算増幅器 9 の入力側と出力側とはクロック 2 (CL2) により制御されるスイッチ 15 を介して接続されている。

第 6 図は第 5 図に示すスイッチング比較器回路の動作説明のためのクロックのタイミング波形図である。

第 6 図に示すように、クロック 1 (CL1) ~ クロック 4 (CL4) は第 5 図に示すクロックを表わしている。

まず、制御クロック 1 (CL1) によりスイッチ 11, 12 が接続され、アナログ入力信号が電圧フォロア状態となった差動増幅器 5 を介してサンプリング容量 8 に高速サンプリングされる。次に、制御クロック 4 (CL4) によりスイッチ 13 が接続されるので、アナログ入力信号は高精度サンプリングが行われる。以上の状態までは、制御クロック 2 (CL2) により演算増幅器 9 の

入力と出力とが接続されているので、サンプリング容量 8 の片側が回路最高電位と最低電位の間レベルに固定される。次に、制御クロック 3 (CL3) により D/A 変換器 7 がスイッチ 14 を介してサンプリング容量 8 に接続されるので、サンプリング容量 8 に保持されたアナログ入力信号と基準電圧 V_{REF} とを比較し、演算増幅器 9 により比較結果が比較結果出力端子 16 に導かれる。尚、サンプリング期間と基準電圧比較期間とが交互になっていることは、第 6 図からも理解される。

(発明が解決しようとする問題点)

上述した従来のスイッチング比較器は、アナログ入力信号を高速サンプリング期間、高精度サンプリング期間、基準電圧比較期間の順に動作を行う。従って、一変換時間は高速サンプリングに要する時間と高精度サンプリングに要する時間のサンプリング時間と、基準電圧比較に要する時間との和になるため、連続的なアナログ入力信号をデジタル信号に変換するのに要する時間が非常に長

くなるという欠点を有していた。

本発明の目的は、前述のスイッチング比較器の有する諸欠点が無く、連続的なアナログ入力信号が入力されても、高速サンプリングと高精度サンプリングのサンプリング期間と、基準電圧比較期間とを同時になるように設定することにより、変換時間の短縮を実現するスイッチング比較器を提供することにある。

(問題点を解決するための手段)

本発明のスイッチング比較器は、アナログ入力信号を入力するバッファ増幅器と、前記アナログ入力信号を保持するための第一および第二のサンプリング容量と、前記第一、第二のサンプリング容量に保持されたアナログ入力信号を逐次比較するための基準電圧を発生する D/A 変換器と、前記 D/A 変換器と前記バッファ増幅器と前記第一および第二のサンプリング容量との接続を制御する第一のスイッチ群と、前記第一および第二のサンプリング容量にそれぞれ接続された第一および第二の比較器と、前記第一および第二の比較器の

出力のいずれかを選択して出力端子に伝えるための第二のスイッチ群とを含んで構成される。

〔実施例〕

次に、本発明の実施例について、図面を参照して説明する。

第1図は、本発明の一実施例を説明するためのスイッチング比較器のブロック構成図である。

第1図に示すように、アナログ入力信号（端子）1は、バッファ増幅器5の入力側に接続され、この増幅器5の出力側第一のスイッチ群100を介して第一のサンプリング容量8と第二のサンプリング容量20とに接続されている。また、基準電圧印加端子6には基準電圧 V_{REF} が印加され、D/A変換器7の基準電圧となる。このD/A変換器7は第一のスイッチ群100を介して第一のサンプリング容量8と第二のサンプリング容量20とに接続されている。第一のサンプリング容量8は、第一の比較器102に接続され、また第二のサンプリング容量20は第二の比較器101に接続されている。この第一の比較器102の出力お

よび第二の比較器101の出力は、共に第二のスイッチ群103を介して比較結果出力端子16に接続されている。

第2図は、第1図に示すスイッチング比較器の具体的回路図であり、以下回路構成について説明する。

第2図に示すように、アナログ入力端子1は差動増幅器5の非反転入力2とクロック4（CL4）の制御により開閉するスイッチ13とに接続され、このスイッチ13はスイッチ17を介して第一のサンプリング容量8に且つスイッチ18を介して第二のサンプリング容量20にそれぞれ接続されている。一方、差動増幅器5の反転入力3はスイッチ10を介して差動増幅器5の出力4とクロック1（CL1）により制御されるスイッチ12とに接続され、またスイッチ12はスイッチ17およびスイッチ18を介してそれぞれ第一のサンプリング容量8および第二のサンプリング容量20とに接続される。また、反転入力3はクロック1（CL1）により制御されるスイッ

チ11、スイッチ17、スイッチ18を介して第一のサンプリング容量8および第二のサンプリング容量20とに接続される。

一方、D/A変換器7は基準電圧印加端子6より基準電圧 V_{REF} が印加されるが、このD/A変換器7は公知のR-string方式、あるいはC-Array方式等により容易に実現することができる。このD/A変換器7の出力はクロック3（CL3）により制御されるスイッチ14を介して第一のサンプリング容量8に接続される一方、スイッチ19を介して第二のサンプリング容量20にも接続される。

また、第一のサンプリング容量8は比較器9に接続され、この比較器9の入力と出力とは、クロック2（CL2）により制御されるスイッチ15を介して接続される。更に、この比較器9の出力は第二のスイッチ群103を構成するスイッチ23を介してサンプリング比較結果出力端子16に接続される。一方、第二のサンプリング容量20は比較器24に接続され、この比較器24の

入力と出力とはスイッチ21を介して接続される。また、この比較器24の出力は第二のスイッチ群103を構成するスイッチ22を介してサンプリング比較結果出力端子16に接続される。

次に、上述した回路動作についてタイミングチャートを基に説明する。

第3図は第2図に示す比較器回路の動作を説明するためのクロックのタイミング波形図である。

第3図に示すように、第1期間では制御クロック1（CL1）により第一のスイッチ群100を構成するスイッチ11、12を閉じるので、アナログ入力信号は電圧フォロア状態となった差動増幅器5と制御クロック3（CL3）で閉じられたスイッチ17を介して第一のサンプリング容量8に高速サンプリングされる。一方、この間制御クロック2（CL2）によりスイッチ15が閉じられるので、第一のサンプリング容量8の片側は回路の最高電位と最低電位との中間レベルに固定される。また、制御クロック3によりスイッチ19が閉じられるので、D/A変換器7の出力は

第二のサンプリング容量20に接続され、比較器24により基準電圧との比較が開始される。この時、制御クロック2 (CL2) によりスイッチ21が開、スイッチ22が閉となるので、比較器24の出力がサンプリング比較結果出力端子16に導かれる。

次に、第2期間では制御クロック4 (CL4) によりスイッチ13が閉となり、制御クロック1 (CL1) によりスイッチ11、12が開、スイッチ10が閉となるので、アナログ入力信号は第一のサンプリング容量8に高精度サンプリングされる。その他は制御クロック2 (CL2)、制御クロック3 (CL3) により第1期間と同一状態を保持される。

次に、第3期間では制御クロック1 (CL1) によりスイッチ11、12が閉じられるので、アナログ入力信号は電圧フォロア状態となった差動増幅器5と制御クロック3 (CL3) で閉じられたスイッチ18を介した第二のサンプリング容量20とに高速サンプリングされる。この間制御

クロック2 (CL2) によりスイッチ21が閉じられるので第二のサンプリング容量20の片側は回路の最高電位と最低電位の間レベルな固定される。また、制御クロック3 (CL3) によりスイッチ14が閉じられるので、D/A変換器7の出力は第一のサンプリング容量8に接続され、比較器9により基準電圧比較が開始される。この時制御クロック2 (CL2) によりスイッチ15は開、スイッチ23が閉となるので、比較器9の出力がサンプリング比較結果出力端子16に導かれる。

更に、第4期間では制御クロック4 (CL4) によりスイッチ13が閉じられ、制御クロック1 (CL1) によりスイッチ11、12が開、スイッチ10が閉となるので、アナログ入力信号は第二のサンプリング容量20に高精度サンプリングされる。その他は制御クロック2 (CL2)、制御クロック3 (CL3) により第3期間と同一状態を保持される。

以上説明した第1～第4期間を連続的なアナロ

グ入力信号に対し繰り返し動作が行なわれ、第一のサンプリング容量8にアナログ入力信号をサンプリングしている間は第二のサンプリング容量20に保持されたアナログ入力信号とD/A変換器7から発生する基準電圧とを逐次比較し、また第二のサンプリング容量20にアナログ入力信号をサンプリングしている間は第一のサンプリング容量8に保持されたアナログ入力信号とD/A変換器7から発生する基準電圧とを逐次比較するので、従来の比変換時間を短縮することができる。

〔発明の効果〕

以上説明したように、本発明のスイッチング比較は、高速サンプリング期間、高精度サンプリング期間から成るサンプリング期間と基準電圧比較期間とを同時に行うことにより、サンプリング期間と基準電圧比較期間の並列動作が可能になるので、連続的なアナログ入力信号をサンプリングしデジタル変換するための変換時間をほぼ1/2に短縮することができるという効果がある。

図面の簡単な説明

第1図は本発明の一実施例を説明するためのスイッチング比較器のブロック構成図、第2図は第1図に示すスイッチング比較器の具体的回路図、第3図は第2図に示す比較器回路動作を説明するためのクロックのタイミング波形図、第4図は従来の一例を示すスイッチング比較器のブロック構成図、第5図は第4図に示すスイッチング比較器の具体的回路図、第6図は第5図におけるクロックのタイミング波形図である。

1…アナログ入力信号端子、2…差動増幅器の非反転入力端子、3…作動増幅器の反転入力端子、4…差動増幅器の出力端子、5…差動増幅器、6…基準電圧印加端子、7…D/A変換器、8…第一のサンプリング容量、9…比較器、10～15、17～19、21～23…スイッチ、16…サンプリング比較結果出力端子、20…第二のサンプリング容量、24…比較器、100…第一のスイッチ群、101…第二の比較器、102…第一の

比較器、103…第二のスイッチ群、CL1～CL4…クロック信号。

代理人 弁理士 内 原 晋

